

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Nobuhisa NAKASHIMA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: PRESSURE CONTACT TYPE SEMICONDUCTOR DEVICE HAVING DUMMY SEGMENT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

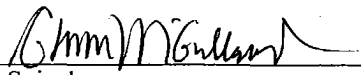
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-046872	February 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月25日

出 願 番 号

Application Number:

特願2003-046872

[ST.10/C]:

[JP2003-046872]

出 願 人

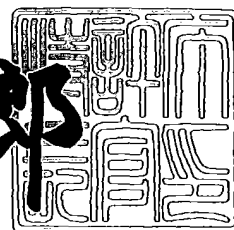
Applicant(s):

三菱電機株式会社

2003年 3月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019431

【書類名】 特許願

【整理番号】 543450JP01

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/74

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 中島 信久

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 深浦 輝也

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大田 賢児

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 圧接型半導体装置

【特許請求の範囲】

【請求項 1】 第 1 主面と前記第 1 主面に対向する第 2 主面とを備える半導体基体と、

前記半導体基体の前記第 1 主面と接触した底面を備える第 1 歪緩衝板と、

前記半導体基体の前記第 2 主面と接触した上面を備える第 2 歪緩衝板とを備え

、
前記半導体基体は、

前記半導体基体の前記第 2 主面を成す第 1 下面と当該第 1 下面に対向する第 1 上面とを備える、第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の前記第 1 上面との間で界面を成す第 2 下面と当該第 2 下面に対向する第 2 上面とを備える、第 2 導電型の第 2 半導体層と、

前記第 2 半導体層の前記第 2 上面との間で界面を成す第 3 下面と当該第 3 下面に対向する第 3 上面とを備える、前記第 1 導電型の第 3 半導体層と、

前記第 1 半導体層の前記第 1 下面上に全面的に形成されており、前記第 2 歪緩衝板の前記上面と直接に機械的接触した第 2 主電極とを備えており、

複数の突出部が、前記半導体基体の前記第 1 主面上において、前記半導体基体の円周方向及び放射状方向に沿って配列されており、

前記複数の突出部の各々は、前記第 2 導電型の第 4 半導体層を備えており、

前記第 4 半導体層は、前記第 3 半導体層の前記第 3 上面の一部と PN 接合面を成す第 4 下面と、当該第 4 下面に対向する第 4 上面とを備えており、

前記第 4 上面は、前記複数の突出部の内で対応する突出部の上面を成しており

、
前記 PN 接合面は、前記対応する突出部内に位置しており、

前記複数の突出部において、最も外側に位置する最外周突出部及び最も内側に位置する最内周突出部の内で、少なくとも一方の側に位置する突出部の各々の上面には、絶縁層が全面的に形成されており、

前記絶縁層の上面と、当該絶縁層上面の直上に位置する前記第 1 歪緩衝板の前

記底面との間には、隙間が常に存在しており、

前記複数の突出部の内で、前記最外周突出部及び前記最内周突出部を除く全突出部の各々の上面上には、第 1 主電極が形成されており、

前記第 1 主電極は、前記第 1 歪緩衝板の前記底面と直接に機械的接触しており、

前記半導体基体の前記第 1 主面は、前記第 4 半導体層の露出面と、前記第 3 上面の露出面とを備えており、

前記第 1 主面の内で前記複数の突出部の表面を除く部分上には、制御電極が 1 パターンとして形成されていることを特徴とする、

圧接型半導体装置。

【請求項 2】 請求項 1 記載の圧接型半導体装置であって、

前記最外周突出部及び前記最内周突出部の内で、他方の側に位置する突出部の各々の上面上にも、他方突出部用絶縁層が全面的に形成されており、

前記他方突出部用絶縁層の上面と、当該他方突出部用絶縁層上面の直上に位置する前記第 1 歪緩衝板の前記底面との間にも、隙間が常に存在することを特徴とする、

圧接型半導体装置。

【請求項 3】 請求項 2 記載の圧接型半導体装置であって、

前記最外周突出部及び前記最内周突出部は、寸法的に前記最外周突出部及び前記最内周突出部を除く前記全突出部よりも小さいことを特徴とする、

圧接型半導体装置。

【請求項 4】 請求項 2 記載の圧接型半導体装置であって、

前記最外周突出部の各々は、一体と成って前記円周方向の全周に渡って延びたリング形状体を構成していることを特徴とする、

圧接型半導体装置。

【請求項 5】 第 1 主面と前記第 1 主面に対向する第 2 主面とを備える半導体基体と、

前記半導体基体の前記第 1 主面と接触した底面を備える第 1 歪緩衝板と、

前記半導体基体の前記第 2 主面と接触した上面を備える第 2 歪緩衝板とを備え

前記半導体基体は、

前記半導体基体の前記第 2 主面を成す第 1 下面と当該第 1 下面に対向する第 1 上面とを備える、第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の前記第 1 上面との間で界面を成す第 2 下面と当該第 2 下面に対向する第 2 上面とを備える、第 2 導電型の第 2 半導体層と、

前記第 2 半導体層の前記第 2 上面との間で界面を成す第 3 下面と当該第 3 下面に対向する第 3 上面とを備える、前記第 1 導電型の第 3 半導体層と、

前記第 1 半導体層の前記第 1 下面上に全面的に形成されており、前記第 2 歪緩衝板の前記上面と直接に機械的接触した第 2 主電極とを備えており、

複数の突出部が、前記半導体基体の前記第 1 主面上において、前記半導体基体の円周方向及び放射状方向に沿って配列されており、

前記複数の突出部の各々は、前記第 2 導電型の第 4 半導体層を備えており、

前記第 4 半導体層は、前記第 3 半導体層の前記第 3 上面の一部と PN 接合面を成す第 4 下面と、当該第 4 下面に対向する第 4 上面とを備えており、

前記第 4 上面は、前記複数の突出部の内で対応する突出部の上面を成しており

前記 PN 接合面は、前記対応する突出部内に位置しており、

前記複数の突出部の各々における前記上面上には、第 1 主電極が形成されており、

前記複数の突出部において、最も外側に位置する最外周突出部及び最も内側に位置する最内周突出部の内で、少なくとも一方の側に位置する突出部の各々の前記上面上に形成されている前記第 1 主電極は、前記第 1 歪緩衝板の前記底面と常に非接触であり、

前記複数の突出部の内で、前記最外周突出部及び前記最内周突出部を除く全突出部の各々の前記上面上に形成されている前記第 1 主電極は、前記第 1 歪緩衝板の前記底面と直接に機械的接触しており、

前記半導体基体の前記第 1 主面は、前記第 4 半導体層の露出面と、前記第 3 上面の露出面とを備えており、

前記第 1 主面の内で前記複数の突出部の表面を除く部分上には、制御電極が 1 パターンとして形成されていることを特徴とする、
圧接型半導体装置。

【請求項 6】 請求項 5 記載の圧接型半導体装置であって、
前記複数の突出部において、前記最外周突出部及び前記最内周突出部の内で、
他方の側に位置する突出部の各々の前記上面上に形成されている前記第 1 主電極
もまた、前記第 1 歪緩衝板の前記底面と常に非接触であることを特徴とする、
圧接型半導体装置。

【請求項 7】 請求項 6 記載の圧接型半導体装置であって、
前記第 1 歪緩衝板は内周面及び外周面を備える環状体であり、
前記第 1 歪緩衝板は、
前記外周面における前記底面側の第 1 コーナー部分に形成された第 1 欠損部と
、
前記内周面における前記底面側の第 2 コーナー部分に形成された第 2 欠損部と
を備えており、
前記最外周突出部の各々の前記第 1 主電極とその直上に位置する前記第 1 欠損
部との間、及び、前記最内周突出部の各々の前記第 1 主電極とその直上に位置す
る前記第 2 欠損部との間には、共に隙間が常に存在していることを特徴とする、
圧接型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、自己消弧型サイリスタ（例えば、ゲートターンオフ（GTO）サイリ
スタあるいはゲート転流型ターンオフ（GCT）サイリスタ）に代表される圧接型
半導体装置に関するものである。特に、本発明に係る半導体基体は、ダミーセグ
メントとして機能する最外周セグメント及び／又は最内周セグメントを有する。
例えば、本発明は、その電力用応用としては BTB あるいは SVG に適用され、又、そ
の工業用応用としては製鉄圧延機駆動用インバータに適用される。その他にも、
本発明は、高電圧・大容量スイッチ等に適用される。

【 0 0 0 2 】

【従来の技術】

圧接型半導体装置の一例であるGT0サイリスタの基本構造は、例えば特許文献1-3に記載されている。特に特許文献1の記載によれば、GT0サイリスタの半導体基体たるシリコンウエハは、pエミッタ層、nベース層、pベース層、及びnエミッタ層の4層構造より成り、最上層のnエミッタ層は、pベース層によって囲まれた多数の島状突出セグメントとして形成されている。

【 0 0 0 3 】

又、GCTサイリスタの基本構造は、例えば特許文献4に記載されており、その半導体基体たるシリコンウエハの構造は基本的にはGT0サイリスタのそれと同一である。

【 0 0 0 4 】

【特許文献1】

特開昭62-7163号公報

【特許文献2】

特開昭61-5533号公報

【特許文献3】

特開昭63-318161号公報

【特許文献4】

特許第3191653号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

図9は、従来の圧接型半導体装置の半導体基体について測定した、X軸方向及びY軸方向に関するセグメント突出部の段差深さの分布を示す図である（no prior art）。図9に示す様に、最内周セグメントの突出部側面の内側部分における段差が最も浅く、次段目以降の各セグメントの突出部段差はより深く且つ安定した深さを保っており、最外周セグメントの突出部側面の外側部分における段差も、最内周セグメントと同様に、浅くなる傾向にある。この様な傾向が生じる原因は次の点にあるものと、本願発明者は考える。

【0006】

段差構造を半導体基体の主面に形成する方法としては、弗酸又は硝酸の混合液を用いたウェットエッチングが主流である。その際、シリコンウエハ全体を混合液中に水没させた状態でエッチングしようとする、エッチングレートが減少してしまい、表面濃度差が敏感に作用して、均一な段差が得られない。そこで、カソードセグメントパターンに沿って均一に段差エッチングを行うためには、エッチング時に、回転するシリコンウエハの一部を液面から少し出して常に酸素雰囲気中に曝しながら、酸素を混合液中に気泡として巻き込むことで、反応を促進させてエッチングレートを高めることが必要となる。

【0007】

しかしながら、通常、最内周セグメントの内側あるいは最外周セグメントの外側における半導体基体の主面上には、各セグメントのゲート電極パターンと外部ゲート電極との接触を確保するための取出し用ゲート電極パターンが形成されるエリアが、設定されている。そして、このエリアは平滑な面である。このため、センターゲート構造用半導体基体のエッチング中の状況を模式的に描いた図10 (no prior art) に例示する様に、気泡25を、徐々にエッチングされていくセグメント間に保持し続けることが、出来ないのである。即ち、上記の平滑面状態エリア近傍においては、取り込まれた気泡25は次段目以降のセグメントの側に流されてしまい、その結果、最内周セグメントにおけるエッチングレートが減少してしまうのである。

【0008】

図11は、最内周セグメント及び最外周セグメントにおけるエッチングレートがその他の部分と比較して低下した状態において製造された半導体基体の縦断面図である (no prior art)。図11中のB部は最内周セグメントの構造を示しており、その突出部の拡大平面図が図12 (no prior art) であり、又、最内周セグメントの拡大縦断面図が図13 (no prior art) である。又、図11中のC部は、最外周セグメントの構造を示している。図11～図13に示す通り、最内周セグメント突出部の側面の中で、ゲート取出しパターン側の部分とその対向部分との間、及び、最外周セグメント突出部の側面の中で、ゲート取出しパターン側

の部分とその対向部分との間には、ギャップが生じている。特に、図11～図13の例においては、最内周セグメント突出部の側面内のゲート取出しパターン側部分及び最外周セグメント突出部の側面内のゲート取出しパターン側部分には、PN接合面が露出しておらず、カソード電極をその上に形成するためのN型エミッタ層NEが、外部ゲート電極8と接触するゲート取出しパターン1G-ALの直下に残存したままである。そのため、この様な段差ギャップを有する装置においては、カソード電極とゲート電極間が短絡状態となってしまう。

【0009】

あるいは、上記段差エッチングの不均一度によっては、図14 (no prior art) に示す様な段差ギャップ構造が発生する場合もある。この場合には、PN接合面は隣り合う突出部間の谷底面付近に位置しており、カソード電極とゲート電極間の耐圧が低下してしまう。

【0010】

この様な不具合を回避するために、上記段差エッチング工程において、通常よりも段差深さを深く設定する解決策が考えられる。しかし、この場合には、カソード電極とゲート電極間の耐圧低下あるいは短絡と言う事態の発生は回避され得るが、最外周セグメント及び最内周セグメント以外の全セグメントの突出部段差が異常に深くなってしまい、P型ベース層PBの厚みが薄い箇所が局部的にP型ベース層PB内に発生する可能性が大である。もしこの様な箇所が生じた場合には、当該箇所がその他の電気特性に大きな影響を及ぼすことは避けられず、そのために、GTOの動作特性能力が低下してしまうと言う問題点が新たに生じてしまう。従って、この様な回避策は抜本的な解決策には成り得ないのである。

【0011】

この様な事情により、図11～図14に例示した様な構造の半導体基体が製造された場合には、当該半導体基体を製品としては用いないことで、上記問題点に対応している。このため、その様な半導体基体が製造時の品質検査工程において排除される分だけ、製造歩留まりの低下が生じている。

【0012】

本発明は、この様な問題状況に鑑みて成されたものであり、その目的は、従来

、歩留まり低下の原因となっていた段差不均一構造を有する半導体基体をそのまま製品として用いても、耐圧低下あるいは短絡状態を何ら発生させること無く、安定した動作特性能力を発揮し得る圧接型半導体装置を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

本発明の圧接型半導体装置は、第 1 主面と前記第 1 主面に対向する第 2 主面とを備える半導体基体と、前記半導体基体の前記第 1 主面と接触した底面を備える第 1 歪緩衝板と、前記半導体基体の前記第 2 主面と接触した上面を備える第 2 歪緩衝板とを備え、前記半導体基体は、前記半導体基体の前記第 2 主面を成す第 1 下面と当該第 1 下面に対向する第 1 上面とを備える、第 1 導電型の第 1 半導体層と、前記第 1 半導体層の前記第 1 上面との間で界面を成す第 2 下面と当該第 2 下面に対向する第 2 上面とを備える、第 2 導電型の第 2 半導体層と、前記第 2 半導体層の前記第 2 上面との間で界面を成す第 3 下面と当該第 3 下面に対向する第 3 上面とを備える、前記第 1 導電型の第 3 半導体層と、前記第 1 半導体層の前記第 1 下面上に全面的に形成されており、前記第 2 歪緩衝板の前記上面と直接に機械的接触した第 2 主電極とを備えており、複数の突出部が、前記半導体基体の前記第 1 主面上において、前記半導体基体の円周方向及び放射状方向に沿って配列されており、前記複数の突出部の各々は、前記第 2 導電型の第 4 半導体層を備えており、前記第 4 半導体層は、前記第 3 半導体層の前記第 3 上面の一部と PN 接合面を成す第 4 下面と、当該第 4 下面に対向する第 4 上面とを備えており、前記第 4 上面は、前記複数の突出部の内で対応する突出部の上面を成しており、前記 PN 接合面は、前記対応する突出部内に位置しており、前記複数の突出部において、最も外側に位置する最外周突出部及び最も内側に位置する最内周突出部の内で、少なくとも一方の側に位置する突出部の各々の上面上には、絶縁層が全面的に形成されており、前記絶縁層の上面と、当該絶縁層上面の直上に位置する前記第 1 歪緩衝板の前記底面との間には、隙間が常に存在しており、前記複数の突出部の内で、前記最外周突出部及び前記最内周突出部を除く全突出部の各々の上面上には、第 1 主電極が形成されており、前記第 1 主電極は、前記第 1 歪緩衝板の前記底面と直接に機械的接触しており、前記半導体基体の前記第 1 主面は、前記第 4 半

導体層の露出面と、前記第3上面の露出面とを備えており、前記第1主面の内で前記複数の突出部の表面を除く部分上には、制御電極が1パターンとして形成されていることを特徴とする。

【0014】

【発明の実施の形態】

(着眼点)

従来構造によれば、全セグメントのカソード電極が、非圧接時及び圧接時において、カソード歪緩衝板と接触している。そして、半導体基体の最外周部側あるいは最内周部側に形成された外部ゲート電極用取出しパターンの近傍に位置する最外周セグメントあるいは最内周セグメントのカソード電極が使用されるため、最外周セグメントあるいは最内周セグメントの突出部段差が浅い場合には、カソード電極とゲート電極間にリーク電流が発生し易い。そうであるならば、その箇所に対応するセグメントを使用しない構造、換言すれば、最外周セグメント及び／又は最内周セグメントをダミーセグメント化してしまう様な構造を採用するならば、耐圧低下及びそれに伴うリーク電流の発生を抑止することが可能である。

【0015】

その様な第1の改善内容は、半導体基体の最外周セグメント及び／又は最内周セグメントを、エッチング時におけるダミーパターンとして用いることである。この場合には、ダミーのセグメントパターンの突出部上には、アルミニウム膜から成るカソード電極は形成されないので、当該ダミーセグメントはカソード歪緩衝板と接触することはない。当該改善内容は、後述する実施の形態1に相当する。

【0016】

その第2の改善内容は、従来構造の半導体基体をそのまま利用しつつ、最外周セグメント及び／あるいは最内周セグメントのカソード電極がカソード歪緩衝板と接触することのない様に、カソード歪緩衝板の構造を修正することである。この様な改善内容は、後述する実施の形態2又は3に相当する。

【0017】

(実施の形態 1)

図 1 は、本実施の形態に係る圧接型半導体装置の構成を示す縦断面図である。ここでは、本圧接型半導体装置は、一例として、センタゲート構造型の GT0 である。又、図 2 は、半導体基体 1 の第 1 主面の上面図であり、本図においては後述するゲート電極 1 G-AL の図示化を省略している。ここで、「第 1 主面」とは、後述する第 3 半導体層 (P 型のベース層) PB の第 3 上面の露出部分と、後述する第 4 半導体層 (N 型のエミッタ層) NE の露出表面とから成る、同基体 1 の上面である。尚、後述する図 3 に示す通り、第 4 半導体層 NE の第 4 下面は、全面的に、第 3 半導体層 PB と第 4 半導体層 NE との PN 接合面を成している。これに対して、半導体基体 1 の「第 2 主面」とは、後述する第 1 半導体層 (P 型のエミッタ層) P E の露出下面である。又、図 3 は、図 2 中の線 I-I に関する、半導体基体 1 及びその周辺部材の断面図である。特に、図 3 は、半導体基体 1 の製造時に最外周セグメント OMSG 及び最内周セグメント IMSG の段差が他のセグメント SG よりも浅くなる様な事態が生じた場合を、描いている。勿論、その様な事態が生じていない場合においても、最外周セグメント OMSG 及び最内周セグメント IMSG の構造は、図 3 に示される通りである。尚、図 3 の構造は左右対称である。

【0018】

図 1 及び図 3 に示す通り、カソード歪緩衝板 2 は、例えばモリブデンより成る環状体であり、その底面 2 BS は、半導体基体 1 の第 1 主面の一部上に形成された全カソード電極 1 K-AL と機械的に接触している。尚、圧接時には、同板 2 は全カソード電極 1 K-AL と電氣的に接触し得る。そして、外部カソード電極 4 の底面全体は、底面 2 BS と対向する、カソード歪緩衝板 2 の上面と機械的に接触している。尚、圧接時には、同電極 4 はカソード歪緩衝板 2 と電氣的に接触し得る。これに対して、外部カソード電極 4 の上面は、外部に露出している。

【0019】

又、アノード歪緩衝板 3 は、例えばモリブデンより成る円柱体であり、その上面 3 US は、半導体基体 1 の第 2 主面上に全面的に形成されたアノード電極 1 A-AL と機械的に接触しており、圧接時にはアノード電極 1 A-AL と電氣的に接触し得る。そして、外部アノード電極 5 の上面全体は、上面 3 US と対向する、アノード

歪緩衝板 3 の底面と機械的に接触している。尚、圧接時には、同電極 5 はアノード歪緩衝板 3 と電氣的に接触し得る。これに対して、外部アノード電極 5 の底面は、外部に露出している。又、アノード歪緩衝板 3 の底面中央部及び外部アノード電極 5 の上面中央部には、互いに対向し合う溝が形成されており、これらの溝は、アノード歪緩衝板 3 と外部アノード電極 5 とを位置決めするためのピン 14 を成している。

【0020】

又、カソード歪緩衝板 2 の中央部に設けられた貫通孔及び外部カソード電極 4 内に設けられた空洞内には、環状絶縁体の位置決め用支持管 9 を介して、略円柱体の外部ゲート電極 8 が配置されており、同電極 8 の底面は、半導体基体 1 の第 1 主面中央部（後述するセグメント SG が形成されていない半導体基体 1 の中央部分の上面に該当）上に形成されたゲート電極 1G-AL（特に当該部分をゲート電極取出し部 GP1 と称す）と、機械的に接触している。尚、圧接時には、同電極 8 は（第 1）ゲート電極取出し部 GP1 と電氣的に接触し得る。そして、外部ゲート電極 8 の上面と外部カソード電極 4 の空洞の天井面との間には、外部ゲート電極 8 を内部的に押圧するための弾性を有するバネ 6、及び、絶縁性を有するマイカワッシャ 7 が、配設されている。又、外部ゲート電極 8 の上面側側面の一部には、同電極 8 を外部にまで導出するためのゲートリード線 8a が結合されており、ゲートリード線 8a の周囲には、ゲートリード線 8a を絶縁するためのゲートスリーブ 10 が配設されている。

【0021】

又、第 1 フランジ 12 の内周部は外部カソード電極 4 の上面側側面の一部に固着されており、同様に、第 2 フランジ 13 の内周部は外部アノード電極 5 の底面側側面の一部に固着されている。そして、両フランジ 12、13 間には、例えばセラミックから成る絶縁筒 11 が両フランジ 12、13 に固着された態様で設けられており、同筒 11 は、各部材 1、2、3、6、7、8、9、10、15 を密閉している。そして、密閉空間内の空気は、不活性ガスで置換されている。尚、絶縁保護材 15 は、半導体基体 1 の端面における耐圧特性を保持するための部材である。

【0022】

この様なGT0を動作させる際には、外部カソード電極4と外部アノード電極5とを外部から圧接することにより、半導体基体1のカソード電極1K-ALとカソード歪緩衝板2と外部カソード電極4とを、及び、アノード電極1A-ALとアノード歪緩衝板3と外部アノード電極5とを、それぞれ電氣的に接触させる。このとき、外部ゲート電極8は、バネ6を介して、取出し用ゲート電極GP1と、連携して電氣的に接触する。これにより、半導体基体1への通電が可能となる。この様な状態において、外部ゲート電極8と外部カソード電極4間に電流を流すことで、カソード電極1K-ALとアノード電極1A-AL間で流れる主電流の電氣的制御が実行される。

【0023】

上述した各構成要素の中で、本実施の形態の中核部は、シリコンウエハをその母材とする半導体基体1の構造にあり、その他の内装部材及び外装部材は全て従来品で構成されている。そこで、以下においては、図2及び図3を参照しつつ、半導体基体1の構造を詳述する。尚、図2及び図3では、図示の便宜上、実動作し得るアクティブセグメント（全セグメントSG中、ダミーセグメントOMSG,IMSGを除いたもの）の中で放射状方向に配列したものの数は3個として描かれているが、この一例に限定されるものではなく、放射状方向のセグメントSGの数は任意である。

【0024】

半導体基体1は、PNPN構造を有しており、しかも、センターゲート構造と外周ゲート構造とに共通した構造を備えている。即ち、同基体1は、（1）シリコン基板内にP型不純物（第1導電型不純物）を含ませて成る第1半導体層（P型のエミッタ層）PEと、（2）第1半導体層PEの第1上面上に全面的に形成され且つN型不純物（第2導電型不純物）を含む第2半導体層（N型のベース層）NBと、（3）第2半導体層NBの第2上面上に全面的に形成され且つP型不純物を含む第3半導体層（P型のベース層）PBと、（4）第3半導体層PBの第3上面の一部上に形成され且つN型不純物を含む複数の第4半導体層（N型のエミッタ層）NEとを、有する。そして、半導体基体1の第1主面中、センターゲート構造用ゲート取出

しパターンGP1が形成された中央部と、外周ゲート構造用ゲート取出しパターンGP2が形成された周縁部とで挟まれた領域には、半導体基体1の円周方向及び放射状方向に沿って一列に配列して成る、複数のメサ構造、ないしは、複数の島状の突出部PPが、形成されている。ここで、各突出部PPの放射状方向の配列ピッチは、一定間隔Wである。そして、各突出部PPは、第3半導体層PBの一部と第4半導体層NEとを有する。換言すれば、全突出部PPの中で、最も外側に位置する最外周突出部OMPP及び最も内側に位置する最内周突出部IMPPを除いた各突出部PPに関しては、各第4半導体層NEの全体は、対応する突出部PP内に包含されている。この様に、各突出部PPは、カソード電極1K-ALとゲート電極1G-ALとの間に、高さHの段差を形成しており、この段差が両電極1K-AL、1G-AL間のPN接合面における耐圧（降伏電圧）を十分なレベルに確保している。しかも、各突出部PPの側面上には、第3半導体層PBと第4半導体層NEとの上記PN接合面を清浄な状態で保護するためのパッシベーション膜（例えばシリコン酸化膜から成る絶縁膜）1Sが、全面的に形成されている。この様に、最外周突出部OMPPの側面の内でゲート取出しパターンGP2に隣接した部分及び最内周突出部IMPPの側面の内でゲート取出しパターンGP1に隣接した部分を除いて、パッシベーション膜1Sは、各突出部PPの側面に露出したPN接合部の安定化を実現している。更に、半導体基体1の第1主面の内で、隣り合う突出部PP間に挟まれた谷底部上、最外周突出部OMPPの外側部上、及び、最内周突出部IMPPの内側部上には、例えばアルミニウム膜から成るゲート電極1G-ALの1パターンが形成されている。このゲート電極1G-ALの1パターンの内で、最内周突出部IMPPの内側部上、及び、最外周突出部OMPPの外側部上に位置するものが、それぞれ、既述した（第1及び第2）ゲート取出しパターンGP1,GP2に該当している。そして、第1ゲート取出しパターンGP1を除くゲート電極1G-ALの部分の表面は、全面的に、例えばポリイミドから成る絶縁膜1Pによって被覆されており、絶縁膜1Pはパッシベーション膜1Sと繋がっている。

【0025】

又、半導体基体1の第2主面を成す第1半導体層PEの第1下面上には、全面的に、例えばアルミニウム膜から成るアノード電極1A-ALが形成されている。

【0026】

以上の通り、半導体基体1の円周方向及び放射状方向に沿って一列に配列して成る複数のセグメントSGの各々は、第1～第4半導体層PE,NB,PB,NEより成る。これらのセグメントSG中で、最外周セグメントOMSG及び最内周セグメントIMSGは、共にダミーセグメントとして機能する。以下、核心部たる最外周セグメントOMSG及び最内周セグメントIMSGの構造を、他のセグメント（アクティブセグメント）SGの構造を対比させて記載する。

【0027】

先ず、最外周セグメントOMSGの最外周突出部OMPPの上面には、カソード電極1K-ALのパターンが一切形成されておらず、その代わりに、当該上面の全体は、最外周突出部OMPPの側面上に形成されているパッシベーション膜1S及びその上に更に形成されている絶縁膜1Pによって、被覆されている。ここで、両膜1S,1Pから成る部分を、「絶縁層」と総称する。同様に、最内周セグメントIMSGにおける最内周突出部IMPPの上面全体もまた、パッシベーション膜1S及び絶縁膜1Pより成る絶縁層によって、被覆されている。これに対して、その他の各セグメントSGにおける突出部PPの上面上には、カソード電極1K-ALが形成されている。しかも、各カソード電極1K-ALの厚み T_1 は、最外周突出部OMPP及び最内周突出部IMPPの上面上に形成されている絶縁層（1S+1P）の厚み T_2 よりも大きい（ $T_1 > T_2$ ）。そして、最外周突出部OMPP及び最内周突出部IMPPを含む全突出部PPの高さは、隣り合う突出部PPで挟まれた谷底部ないしは第3半導体層上面から見て、高さ H で与えられる。従って、谷底部から最外周突出部OMPPの絶縁層（1S+1P）上面までの高さ（ $H+T_2$ ）及び谷底部から最内周突出部IMPPの絶縁層（1S+1P）上面までの高さ（ $H+T_2$ ）は、谷底部からその他の突出部PPのカソード電極1K-AL上面までの高さ（ $H+T_1$ ）よりも小さい。その結果、最外周突出部OMPP及び最内周突出部IMPPを除く突出部PPのカソード電極1K-AL上面は、全て、非圧接時において、カソード歪緩衝板底面2BSと機械的に接触する。これに対して、最外周突出部OMPP及び最内周突出部IMPPの絶縁層（1S+1P）上面と、その直上に位置するカソード歪緩衝板底面2BSの部分との間には、物理的に埋め尽くすことの出来ない隙間（クリアランス）CLが存在している。そのため、最外周突出

部OMPP及び最内周突出部IMPPの絶縁層(1S+1P)上面は、カソード歪緩衝板底面2BSと機械的に接触することは一切無い。勿論、圧接時においても、最外周突出部OMPP及び最内周突出部IMPPの絶縁層(1S+1P)上面は、緩衝板底面2BSと機械的及び電氣的に接触することは無い。例えば、各セグメントSGの段差高さHは $30\mu\text{m}$ であり、カソード電極1K-ALの厚みT1は $10\mu\text{m}$ であり、パッシベーション膜1Sの厚みは $2\mu\text{m}$ であり、絶縁膜1Pの厚みは $3\mu\text{m}$ である。この場合、高さ(H+T2)は $35\mu\text{m}$ であり、高さ(H+T1)は $40\mu\text{m}$ であるから、クリアランスCLは $5\mu\text{m}$ となる。

【0028】

尚、図3に示す半導体基体1の製造方法は、最外周突出部OMPP及び最内周突出部IMPPに対応するパターンが形成されていない新たなマスクを写真製版時のマスクとして用いる点を除いて、基本的には、従来の半導体基体の製造方法と同一である。従って、新たな製造装置の使用及び追加の製造工程は発生しない。

【0029】

この様に、最外周セグメントOMSG及び最内周セグメントIMSGの全ては、ダミーとして配列されている。従って、最外周セグメントOMSGの外側段差及び最内周セグメントIMSGの内側段差が比較的に浅くなる様なケースが生じて、カソード電極1K-ALとゲート電極1G-AL間の耐圧低下あるいは短絡状態は一切発生せず、つまり、段差ギャップに起因したリーク電流が発生することは無く、実動作時においても何ら問題の無い良好な電気特性が得られる。換言すれば、その様な半導体基体1をそのまま製品として用いることが出来、その結果、製造歩留まりを飛躍的に向上させることが出来る。

【0030】

又、本実施の形態の上記特徴的構成を、外周ゲート構造型GT0(例えば日本国特許第3191653号公報の図18に図示された構造を有するもの)ないしはGCT(例えば日本国特許第3191653号公報の図4に図示された構造を有するもの)に適用しても良い。

【0031】

あるいは、図1～図3の一例に代えて、最外周セグメントOMSG及び最内周セグ

メントIMSGの内て一方のセグメントのみを上記の通りにダミーセグメント化させても良い。例えば、センターゲート構造型GT0の場合には、外部ゲート電極8と接触するゲート取出しパターンとは半導体基体表面の中央部に形成されているものであり、従って、最内周セグメントIMSG側における方がリーク電流の発生はより深刻であることから、最内周セグメントIMSGのみを上記の通りにダミーセグメント化させることが考えられる。この場合には、最内周セグメントIMSG側における耐圧の低下ないしは短絡状態の発生を確実に防止することが出来ると言う効果が、得られる。これに対して、外周ゲート構造型GT0あるいはGCTの場合には、外部ゲート電極8と接触するゲート取出しパターンとは半導体基体表面の外周縁部に形成されているものであり、従って、最外周セグメントOMSG側における方がリーク電流の発生がより一層問題となるので、逆に、最外周セグメントOMSGのみを上記の通りにダミーセグメント化させることも考えられる。この場合には、最外周セグメントOMSG側における耐圧の低下ないしは短絡状態の発生を確実に防止することが出来ると言う効果が、期待される。

【0032】

以下に、カソード電極IK-ALが形成されていない最外周突出部OMPP及び最内周突出部IMPPの形状を、カソード電極IK-ALが形成されている、その他の突出部PPの形状と異ならしめる変形を、図面に基づき記載する。

【0033】

(変形例1)

図4のカソード電極パターンにおいては、ダミーとして配列されたセグメントの最外周突出部OMPP及び最内周突出部IMPPの形状を、その他の突出部PPの形状よりも小さく設定している。

【0034】

この場合には、その他の動作するセグメント（非ダミーセグメントないしはアクティブセグメント）のエリアを増大させることが可能である。従って、全カソード電極IK-ALとカソード歪緩衝板底面2BSとの接触面積を最大限まで増加させることが出来る。

【0035】

尚、最外周突出部OMPP及び最内周突出部IMPPの一方の形状のみを、その他の突出部PPの形状よりも小さく設定するだけでも良い。

【 0 0 3 6 】

(変形例 2)

図 5 のカソード電極パターンにおいては、ダミーセグメントの最外周突出部OMPP及び最内周突出部IMPPの形状を、連続したリング形状に設定している。

【 0 0 3 7 】

この様な全周に渡って連続的に配列されたリング形状の突出部を採用することにより、写真製版時の写真欠陥（ピンホール及びレジスト厚ムラ等）を減少させることが可能である。しかも、仮に外部において隙間CL以上の寸法の異物が生じたとしても、最外周突出部OMPP及び最内周突出部IMPPは、当該異物がカソード電極 1 K-AL 及びゲート電極 1 G-AL のパターン領域内に侵入するのを防止し得る城壁として機能するので、異物侵入に起因したカソード電極 1 K-AL とゲート電極 1 G-AL 間の特性劣化（例えば短絡）を完全に防止することが出来る。

【 0 0 3 8 】

尚、最外周突出部OMPP及び最内周突出部IMPPの一方を、連続したリング形状に設定しても良い。

【 0 0 3 9 】

更には、上記の効果は減少せざるを得ないけれども、最外周突出部OMPP及び最内周突出部IMPPの内の少なくとも一方を、断続して成る複数のリング形状体より構成しても良い。

【 0 0 4 0 】

(実施の形態 2)

本実施の形態の特徴点は、従来のものと同一構造を有する半導体基体（従って、最外周突出部OMPP及び最内周突出部IMPPの上面上にカソード電極 1 K-AL が形成されている）を用いつつも、本装置において使用する内装部品の構造を変えることで、最外周セグメントOMSG及び最内周セグメントIMSGを共にダミーセグメントとして機能させて、結果的に実施の形態 1 と同様の効果を得る点にある。その様な構造変更対象の内装部品は、本実施の形態では、カソード歪緩衝板のみである。

。この点は、後述する実施の形態 3（支持管 9、バネ 6、マイカワッシャ 7 及び外部ゲート電極 8 の各々について、従来品とは異なる特殊な寸法のものを使用する必要性がある）と比較すると、利点であるとも言える。即ち、本実施の形態では、カソード歪緩衝板の外周面及び／又は内周面の底面側コーナー部に欠損部を設けることで以って（外周径及び内周径は従来品と同じである）、最外周突出部 OMPP 及び／又は最内周突出部 IMPP の上面上のカソード電極 IK-AL が圧接時にカソード歪緩衝板底面に機械的且つ電氣的に非接触となる構造を実現している。以下では、この様な特徴的構造を中心として、本実施の形態を図面に基づき詳述する。

【 0 0 4 1 】

図 6 は、本実施の形態に係る圧接型半導体装置の構成を示す縦断面図である。ここでも、本圧接型半導体装置は、一例として、センターゲート構造型の GT0 である。図 6 中、図 1 と同一参照符号の各構成要素は、実施の形態 1 における対応する構成要素と同一であり、それらの記載に関しては実施の形態 1 中の対応記載箇所を援用する。

【 0 0 4 2 】

図 6 に示す通り、半導体基体 1 A における全セグメント SG の突出部 PP の上面上には、アルミニウム膜から成るカソード電極 1 K-AL が形成されている。これに対して、環状体であるカソード歪緩衝板 2 A の外周面 2 AOS の底面 2 ABS 側コーナー部（第 1 コーナー部）には、段差状の欠損部 2 AOST が設けられている。しかも、（第 1）段差部 2 AOST の形状・寸法は、当該段差部 2 AOST と最外周突出部 OMPP の上面上のカソード電極 IK-AL とが非圧接時及び圧接時において互いに機械的且つ電氣的に非接触となる様に、設定されている。例えば、段差部 2 AOST と底面 2 ABS との交線は、最外周突出部 OMPP の上面上のカソード電極 IK-AL と、それに隣接する突出部 PP 用のカソード電極 IK-AL との間に位置している（あるいは、隣接突出部 PP 用カソード電極 IK-AL 直上に位置する）。従って、最外周突出部 OMPP のカソード電極 IK-AL と、その直上に位置する段差部 2 AOST との間には、常に（第 1）隙間が存在している。更に、カソード歪緩衝板 2 A の内周面 2 AIS の底面 2 ABS 側コーナー部（第 2 コーナー部）にも、段差状の欠損部 2 AIST が設けられてい

る。そして、(第2)段差部2AISTの形状・寸法は、当該段差部2AISTと最内周突出部IMPPの上面上のカソード電極IK-ALとが非圧接時及び圧接時において互いに機械的且つ電氣的に非接触となる様に、設定されている。例えば、段差部2AISTと底面2ABSとの交線は、最内周突出部IMPP用のカソード電極IK-ALと、それに隣接する突出部PP用のカソード電極IK-ALとの間に位置している(あるいは、隣接突出部PP用カソード電極IK-AL直上に位置する)。従って、最内周突出部IMPPのカソード電極IK-ALと、その直上に位置する段差部2AISTの間には、常に(第2)隙間が存在している。

【0043】

以上の第1及び第2段差部2AOST, 2AISTが付されたカソード歪緩衝板2Aを用いることにより、圧接時において、最外周突出部OMPP及び最内周突出部IMPP上の全カソード電極1K-ALは、カソード歪緩衝板底面2ABSと機械的にも且つ電氣的にも接触することはない。従って、半導体基体1Aの製造時に最外周セグメントOMSG及び最内周セグメントIMSGの段差が他のセグメントSGよりも浅くなる様な事態が生じたとしても、その様な半導体基体1Aをそのまま製品として用い、且つ、全突出部PP上にカソード電極1K-ALを形成している状態において、カソード歪緩衝板2Aと最外周突出部OMPP及び最内周突出部IMPP上の全カソード電極1K-ALとの接触を回避することが出来る。この場合、最外周セグメントOMSG及び最内周セグメントIMSGは、共にカソード電極1K-ALを有していながら、ダミーセグメントとして機能するだけである。このため、図6の圧接型半導体装置は、実動作時においても、実施の形態1と同様の効果を奏する。特に、本実施の形態では、従来のカソード歪緩衝板の外形及び内径を変更することなく、それに上記の第1及び第2段差部2AOST, 2AISTを設けると言う加工修正を施すだけで、カソード歪緩衝板2Aを実現できるので、その他の部材については従来品をそのまま用いることが出来ると言う利点がある。

【0044】

尚、図6の一例に代えて、カソード歪緩衝板2Aの外周面2AOS及び内周面2AISの内、一方の周面の底面側コーナー部のみに、上記段差部を欠損部として設けても良い。

【0045】

又、本実施の形態の上記特徴的構成を、外周ゲート構造型GT0（例えば日本国特許第3191653号公報の図18に図示された構造を有するもの）ないしはGCT（例えば日本国特許第3191653号公報の図4に図示された構造を有するもの）に適用しても良い。但し、これらの装置においては、カソード歪緩衝板は通常は円柱体であって内周面なる概念を有しないため、その様な適用においては、カソード歪緩衝板の外周面の底面側コーナー部のみに上記の段差部を設けることになる。

【0046】

（変形例3）

本変形例を図7に例示する。図7に示す様に、カソード歪緩衝板2Aの外周面2AOS及び内周面2AISにおける底面側コーナー部2OMT, 2IMT（欠損部）の形状は、テーパ状である。しかも、テーパ部2OMT, 2IMTは、それぞれ、非圧接時及び圧接時において、最外周突出部OMPP及び最内周突出部IMPPの上面上のカソード電極IK-ALとは接触しない様に設定された、傾斜角度を有している。

【0047】

本変形例においても、最外周セグメント及び最内周セグメントは、共にカソード電極1K-ALを有していても、ダミーセグメントとして機能するだけであり、図7の圧接型半導体装置は、実施の形態1及び2と同様の効果を奏する。

【0048】

尚、外周面2AOS及び内周面2AISの中で、一方の面における欠損部の形状を図6の様に段差状とし、他方の面における欠損部の形状を図7の様にテーパ状としても良い。

【0049】

あるいは、外周面2AOS及び内周面2AISの欠損部の形状をそれ以外のものに設定しても良い。要は、外周面2AOS及び内周面2AISの欠損部が、圧接時において、最外周突出部OMPP及び最内周突出部IMPPの上面上のカソード電極IK-ALと接触しない様な形状に、設定されていれば良いのである。

【0050】

(実施の形態3)

本実施の形態の特徴点は、半導体基体は従来のものと同一構造を有するものとし（従って、最外周突出部OMPP及び最内周突出部IMPPの上面上にカソード電極IK-ALが形成されている）、その代わりに、本装置において使用する内装部品の構造を変えることで、最外周セグメントOMSG及び最内周セグメントIMSGを共にダメージセグメントとして機能させて、実施の形態1と同様の効果を得る点にある。特に、本実施の形態が実施の形態2と相違する点は、カソード歪緩衝板に欠損部を設けることなく、単にその外周及び／又は内周の寸法を従来のものと比較して変更するだけで以って、最外周突出部OMPP及び／又は最内周突出部IMPPの上面上のカソード電極IK-ALがカソード歪緩衝板底面に機械的且つ電氣的に非接触となる構造を実現している点にある。以下では、この様な特徴的構造を中心として、本実施の形態を図面に基づき詳述する。

【0051】

図8は、本実施の形態に係る圧接型半導体装置の構成を示す縦断面図である。ここでも、本圧接型半導体装置は、一例として、センターゲート構造型GT0である。図8中、図1と同一参照符号の各構成要素は、実施の形態1における対応する構成要素と同一であり、それらの記載に関しては実施の形態1中の対応記載箇所を援用する。

【0052】

図8に示す通り、半導体基体1Bにおける全セグメントSGの突出部PPの上面上には、アルミニウムのカソード電極1K-ALが形成されている。これに対して、環状体であるカソード歪緩衝板2Bの外周径2BODの寸法は、その外周面2BOS（その横断面形状は円）が少なくとも圧接時においても最外周突出部OMPP上のカソード電極1K-ALと機械的に非接触であり、且つ、外周面2BOSの下側エッジが最外周突出部OMPP上のカソード電極1K-ALとそれに隣接する突出部PP上のカソード電極1K-ALとの間に位置する様に（あるいはカソード電極1K-AL上に位置する様に）、従来のカソード歪緩衝板あるいは実施の形態1におけるカソード歪緩衝板2の外周径よりも、縮小されている。換言すれば、外周面2BOSは、最外周突出部OMPP上のカソード電極1K-ALよりも内側に常に位置している。逆に、カ

ソード歪緩衝板 2B の内周径 2BID の寸法は、その内周面 2BIS が少なくとも圧接時において最内周突出部 IMPP 上のカソード電極 1K-AL と機械的に非接触であり、且つ、内周面 2BIS の下側エッジが最内周突出部 IMPP 上のカソード電極 1K-AL とそれに隣接する突出部 PP 上のカソード電極 1K-AL との間に位置する様に（あるいはカソード電極 1K-AL 上に位置する様に）、従来のカソード歪緩衝板あるいは実施の形態 1 におけるカソード歪緩衝板 2 の内周径よりも、拡大されている。換言すれば、内周面 2BIS は、最内周突出部 IMPP 上のカソード電極 1K-AL よりも常に外側に位置している。この様なカソード歪緩衝板 2B の外周径 2BOD 及び内周径 2BID の寸法変更に伴い、外部ゲート電極 8B を固定して同電極 8B と半導体基体 1B 上のゲート取出しパターン（図示せず）との機械的接触を安定的に確保すると言う観点から、各部材 6B, 7B, 8B, 9B の寸法変更が図 8 に例示する様に行われている（各部材 6B, 7B, 8B, 9B の寸法は、対応する従来部材のそれよりも大きくなる）。

【0053】

以上の構成により、図 8 の E 部及び F 部に示す通り、圧接時において、最外周突出部 OMPP 及び最内周突出部 IMPP 上の全カソード電極 1K-AL は、カソード歪緩衝板底面 2BBS と機械的にも且つ電氣的にも接触することはない。従って、半導体基体 1B の製造時に最外周セグメント OMSG 及び最内周セグメント MSG の段差が浅くなる様な事態が生じたとしても、その様な半導体基体 1B を製品として用い、且つ、全突出部 PP 上にカソード電極 1K-AL が形成されている状態において、カソード歪緩衝板 2B と最外周突出部 OMPP 及び最内周突出部 IMPP 上の全カソード電極 1K-AL との接触を回避することが出来る。この場合、最外周セグメント OMSG 及び最内周セグメント MSG は、共にカソード電極 1K-AL を有していても、ダミーセグメントとして機能するだけである。このため、図 8 の圧接型半導体装置は、実動作時においても、実施の形態 1 と同様の効果を奏する。

【0054】

尚、図 8 の一例に代えて、カソード歪緩衝板 2B の外周径 2BOD 及び内周径 2BID の内で一方の径の寸法のみを上記の位置関係となる様に同様に変更するだけでも良い。

【0055】

又、本実施の形態の上記特徴的構成を、外周ゲート構造型GT0（例えば日本国特許第3191653号公報の図18に図示された構造を有するもの）ないしはGCT（例えば日本国特許第3191653号公報の図4に図示された構造を有するもの）に適用しても良い。但し、これらの装置においては、カソード歪緩衝板は、通常、円柱体であって内周径なる概念を有しないため、本適用に際しては、カソード歪緩衝板の外周径のみが上記の通り縮小変更されることになる。

【0056】

（付記）

以上の記載においては、半導体基体1はpnpn構造を有していたが、これに変えて半導体基体の構造をnpnp構造としても良い。この場合には、アノード電極が「第1主電極」となり、カソード電極は「第2主電極」と成る。

【0057】

あるいは、実施の形態1と実施の形態2又は3との組合せで以って圧接型半導体装置を構成しても良いし、又は、実施の形態2と実施の形態3との組合せで以って圧接型半導体装置を構成しても良い。

【0058】

あるいは、外周ゲート構造型GT0ないしはGCTに対して、実施の形態2又は3で記載した環状体のカソード歪緩衝板2A,2Bを適用しても良い。

【0059】

以上、本発明の実施の形態を詳細に開示し記述したが、以上の記述は本発明の適用可能な局面を例示したものであって、本発明はこれに限定されるものではない。即ち、記述した局面に対する様々な修正や変形例を、この発明の範囲から逸脱することの無い範囲内で考えることが可能である。

【0060】

【発明の効果】

本発明によれば、最外周突出部及び最内周突出部の内で一方側の突出部及びその上の絶縁層は、圧接時においても、それらの直上に位置する第1歪緩衝板底面と機械的且つ電氣的に接触する事は無い。このため、装置の動特性能力の低下を

もたらすことなく、最外周部及び最内周部の内の一方側におけるPN接合面の耐圧を確保してリーク電流の低減化を図ることが出来ると言う効果が得られる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る圧接型半導体装置の構成を示す縦断面図である。

【図 2】 本発明の実施の形態 1 に係る圧接型半導体装置におけるセグメントのNE層及びカソード電極のパターンを示す平面図である。

【図 3】 本発明の実施の形態 1 に係る圧接型半導体装置における半導体基板及びその周辺部の構成を拡大して示す縦断面図である。

【図 4】 本発明の変形例 1 に係る圧接型半導体装置におけるセグメントのNE層及びカソード電極のパターンを示す平面図である。

【図 5】 本発明の変形例 2 に係る圧接型半導体装置におけるセグメントのNE層及びカソード電極のパターンを示す平面図である。

【図 6】 本発明の実施の形態 2 に係る圧接型半導体装置の構成を示す縦断面図である。

【図 7】 本発明の変形例 3 に係る圧接型半導体装置の構成を示す縦断面図である。

【図 8】 本発明の実施の形態 3 に係る圧接型半導体装置の構成を示す縦断面図である。

【図 9】 従来技術に係る圧接型半導体装置の問題点として、段差深さ分布の測定値を示す図である。

【図 10】 従来技術に係る圧接型半導体装置の問題点として、エッチング中の半導体基体の状況を模式的に示す平面図である。

【図 11】 従来技術に係る圧接型半導体装置における問題点を示す縦断面図である。

【図 12】 従来技術に係る圧接型半導体装置の問題点として最内周セグメントの形状を示す平面図である。

【図 13】 従来技術に係る圧接型半導体装置における問題点を拡大して示す縦断面図である。

【図 1 4】 従来技術に係る圧接型半導体装置における問題点を拡大して示す縦断面図である。

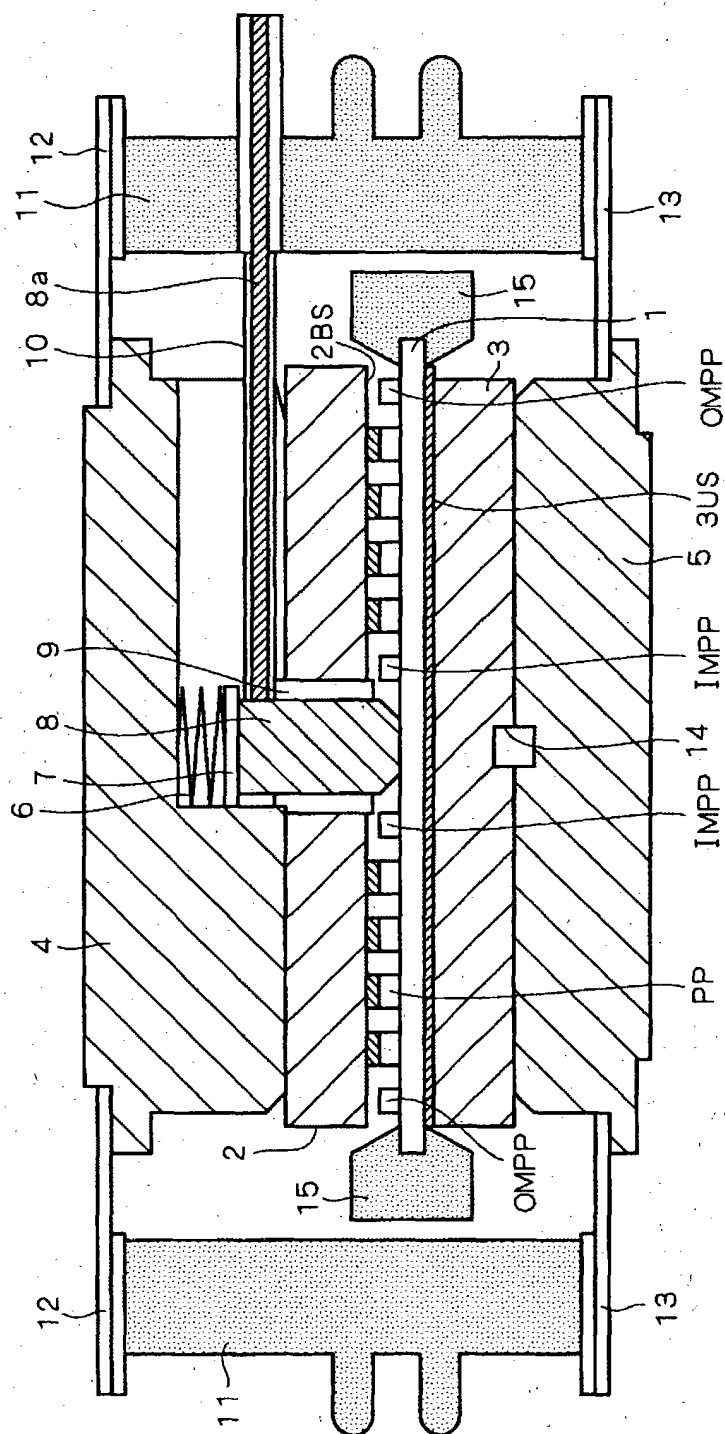
【符号の説明】

OMSG 最外周セグメント、IMSG 最内周セグメント、PP 突出部、OMPP 最外周突出部、IMPP 最内周突出部、IK-AL カソード電極、1 半導体基体、2 カソード歪緩衝板、2BS カソード歪緩衝板底面、CL クリアランス。

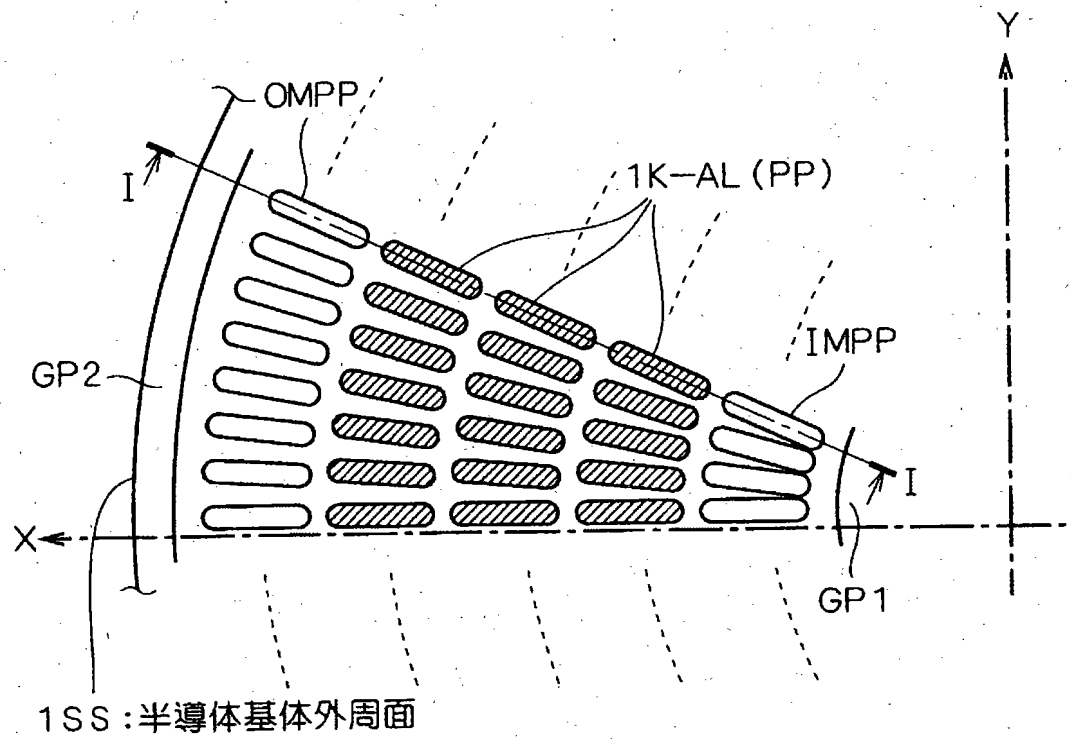
【書類名】

図面

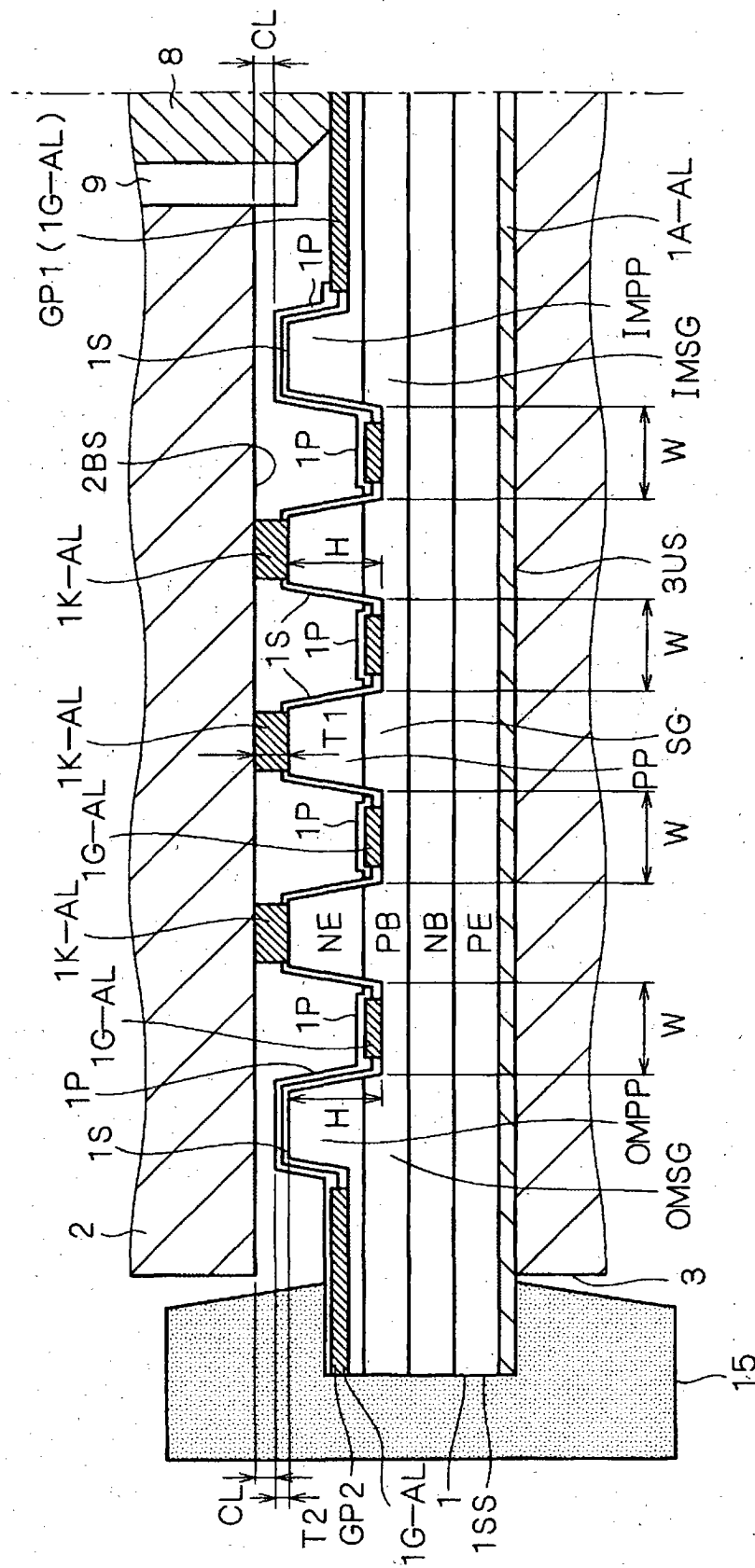
【図1】



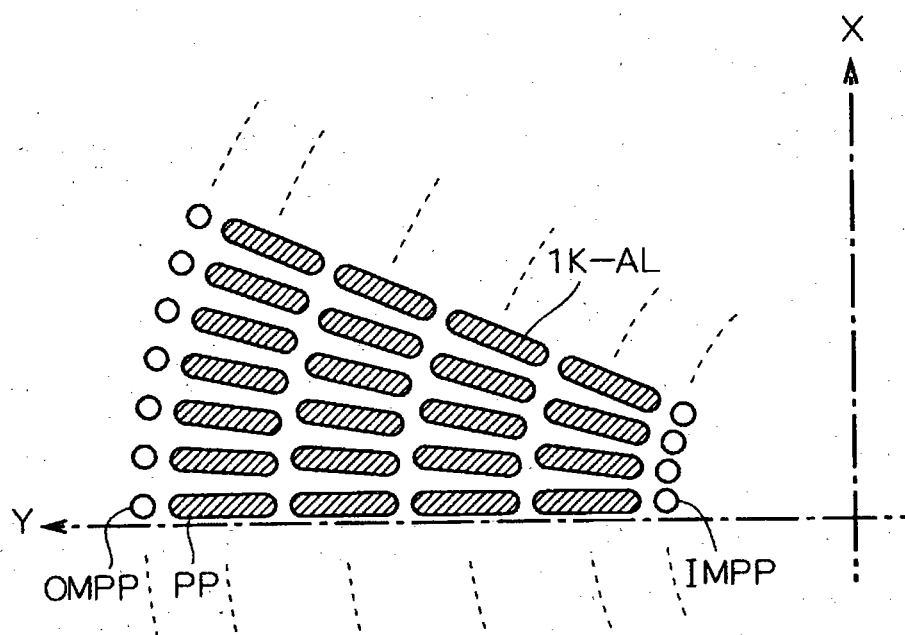
【図 2】



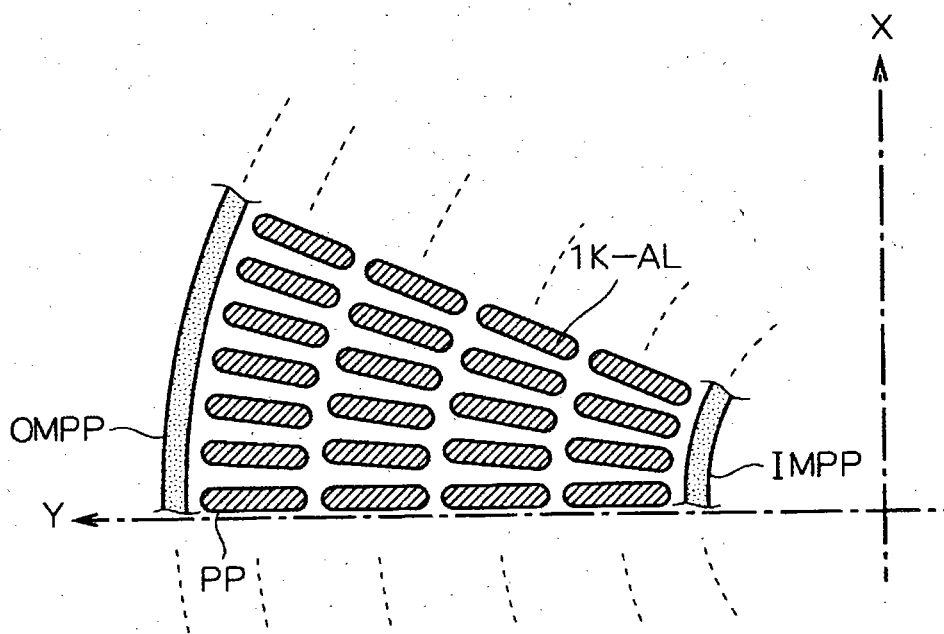
【図 3】



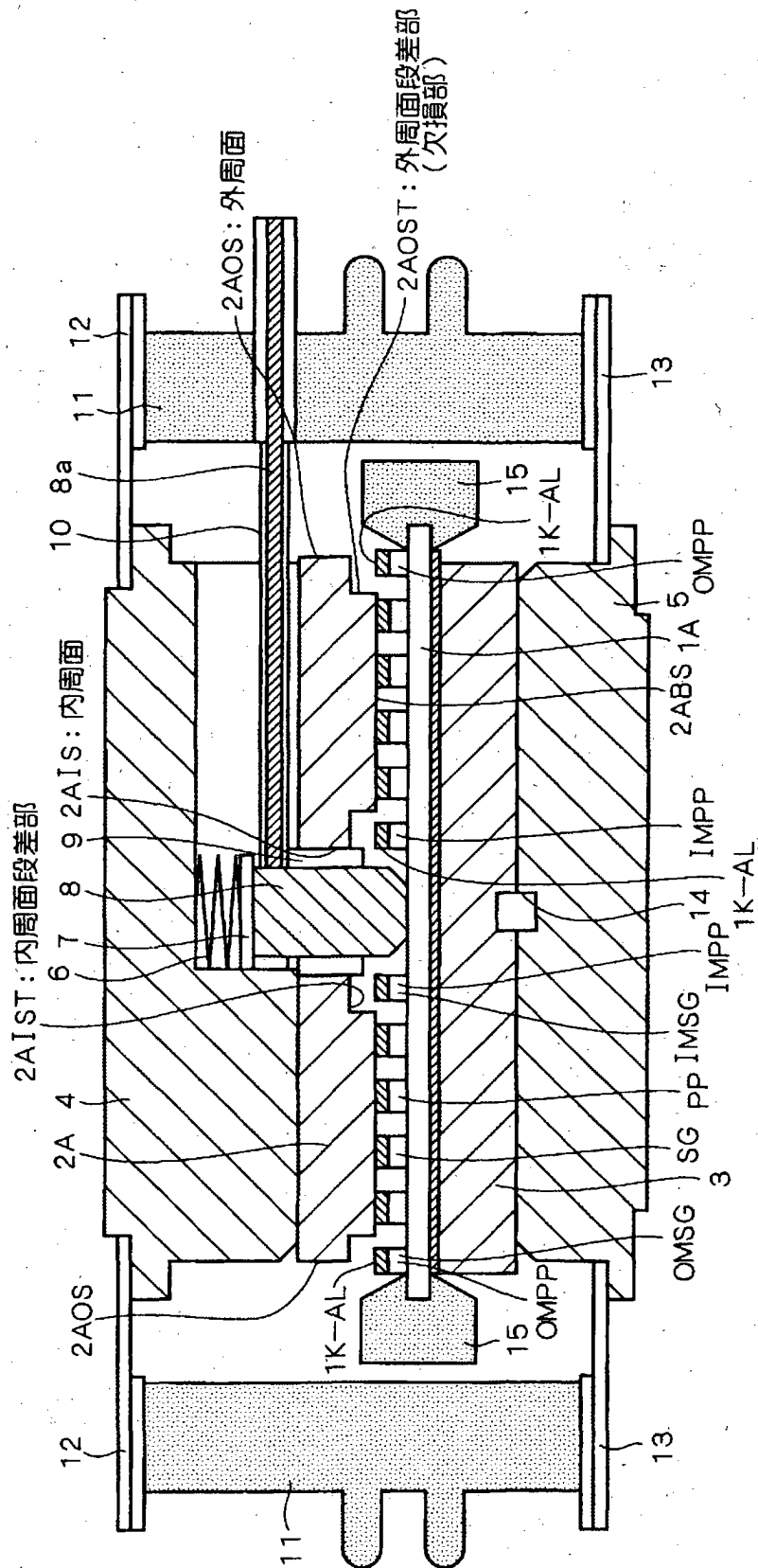
【図4】



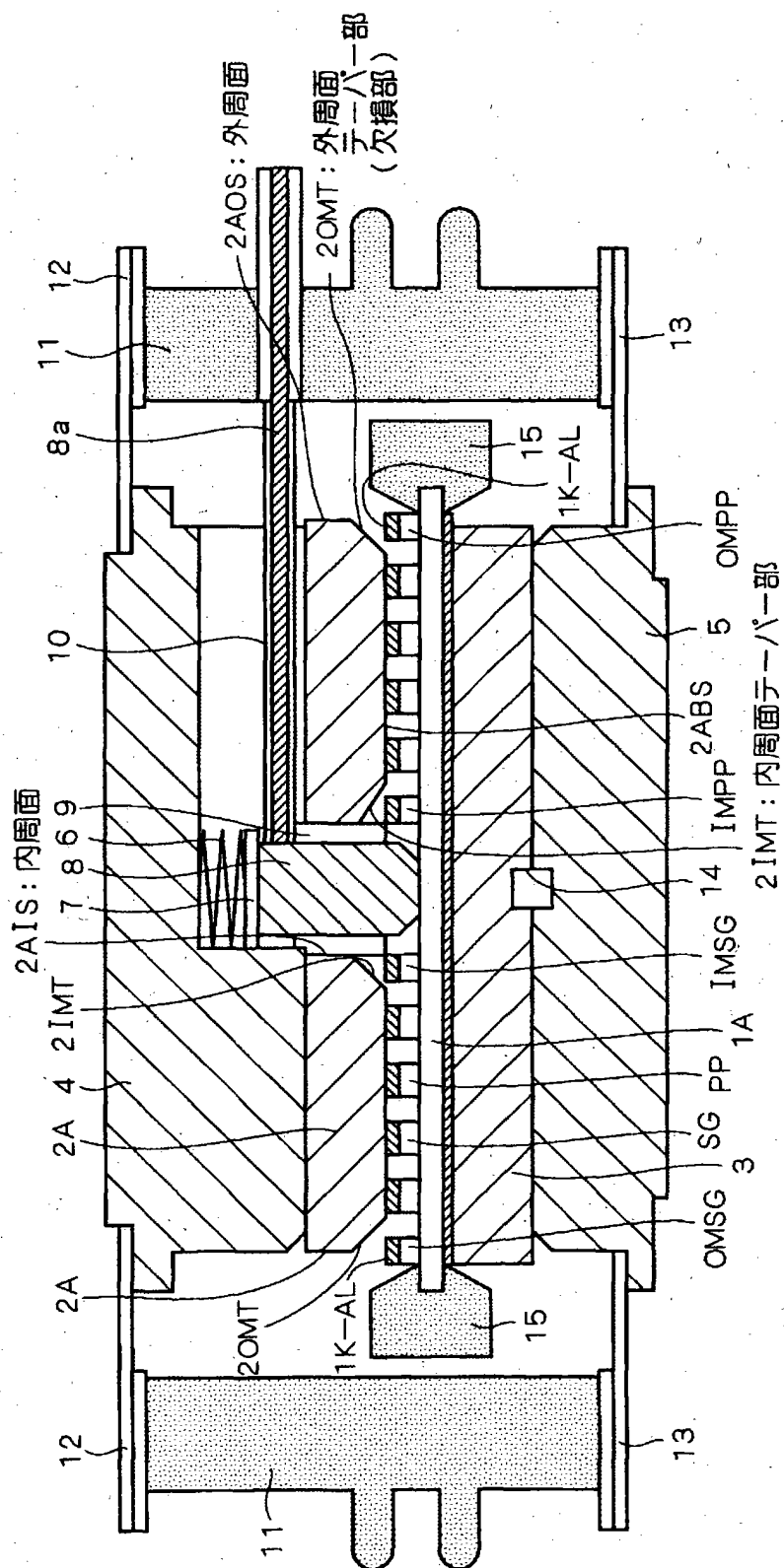
【図5】



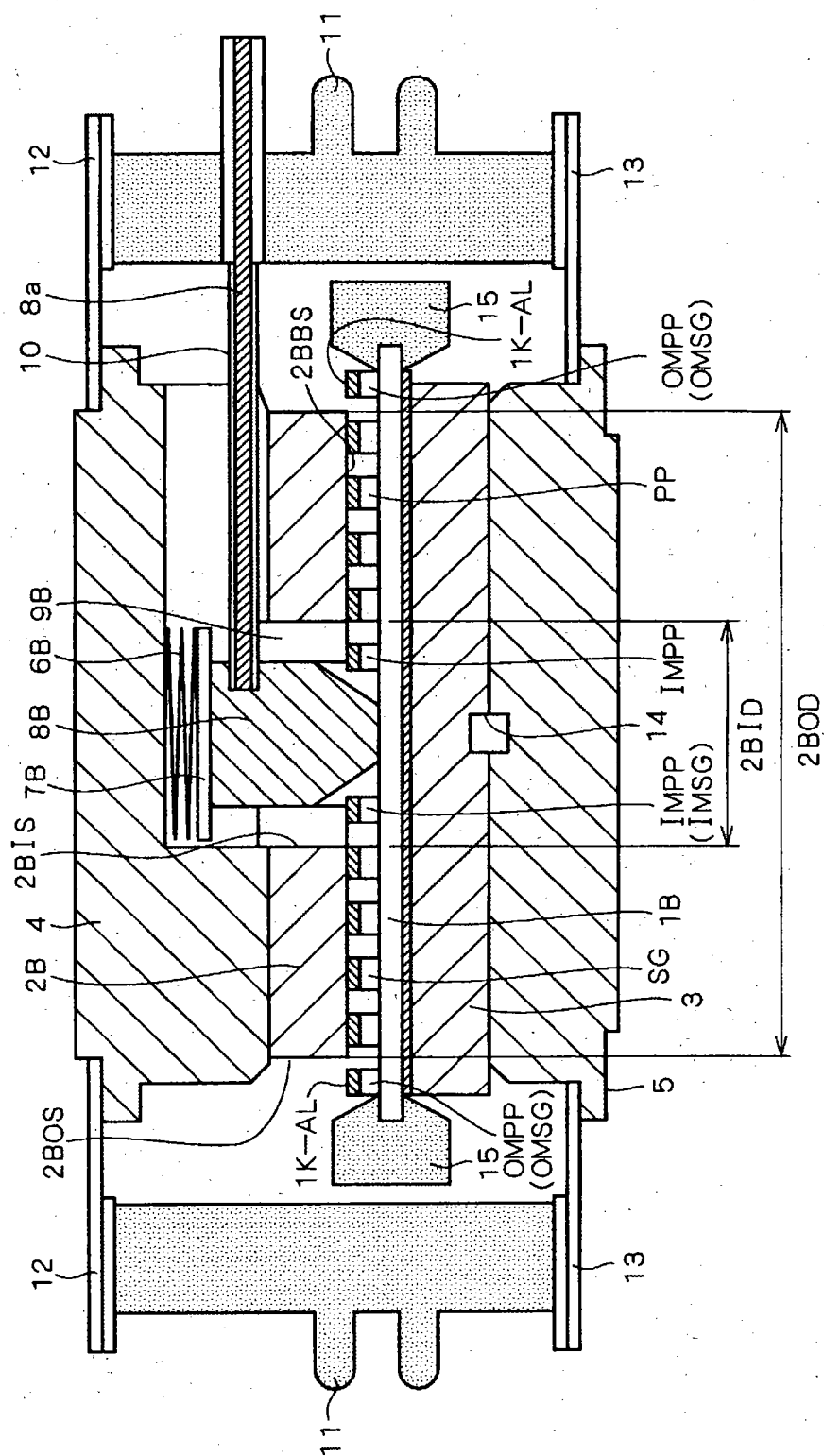
【図 6】



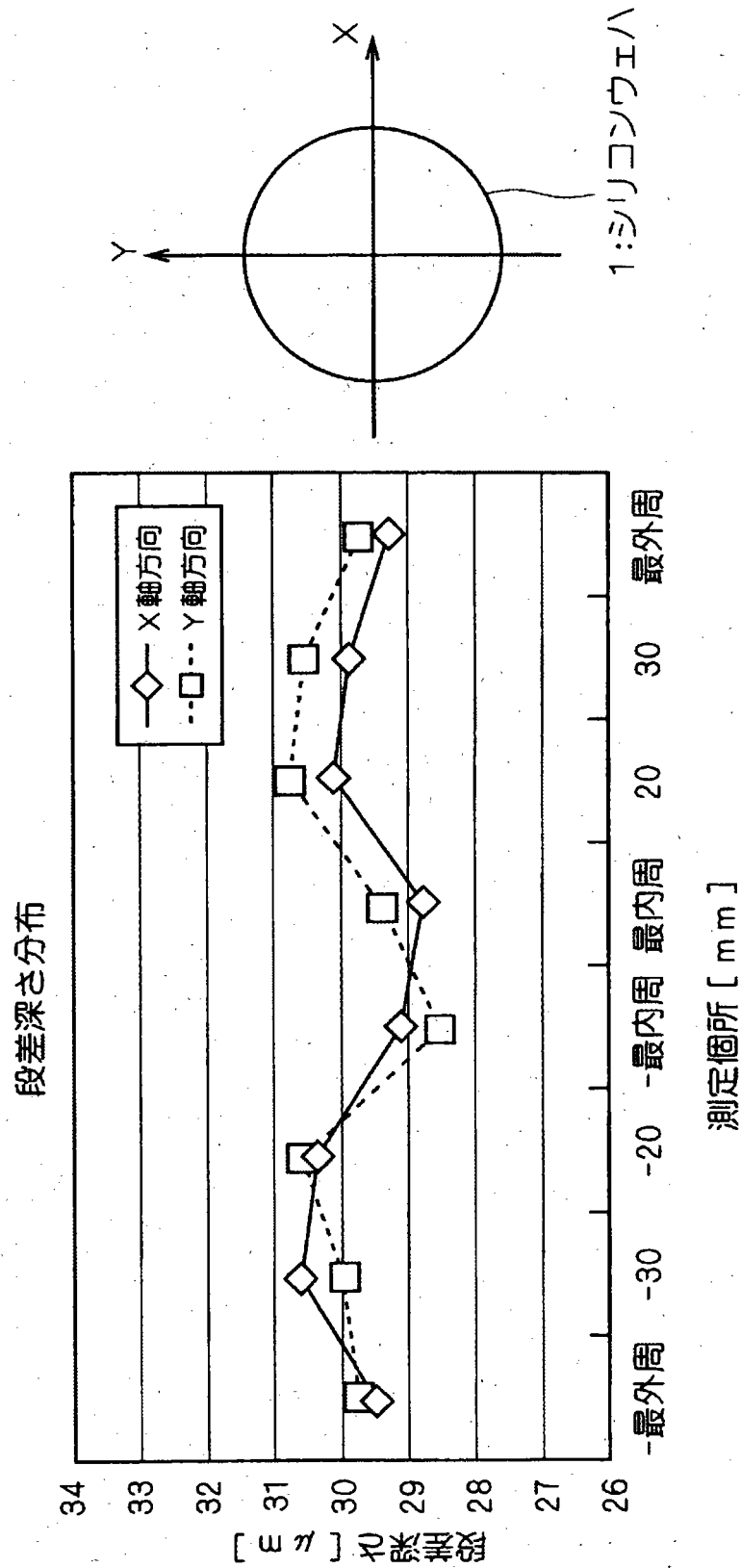
【図7】



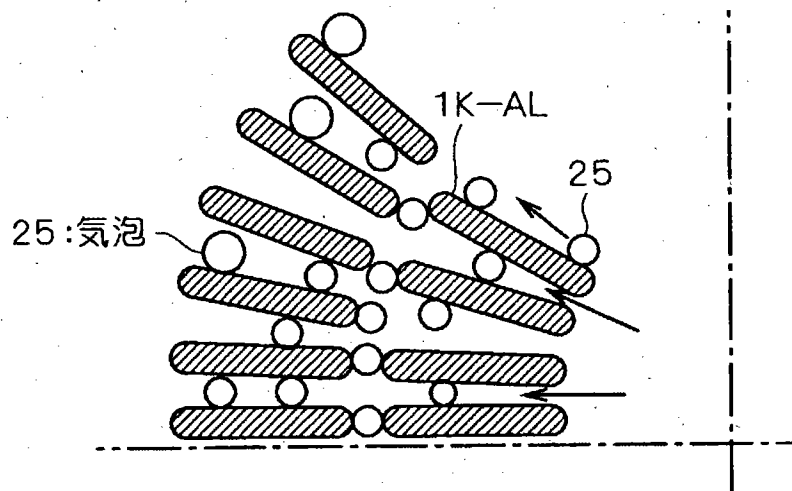
【図8】



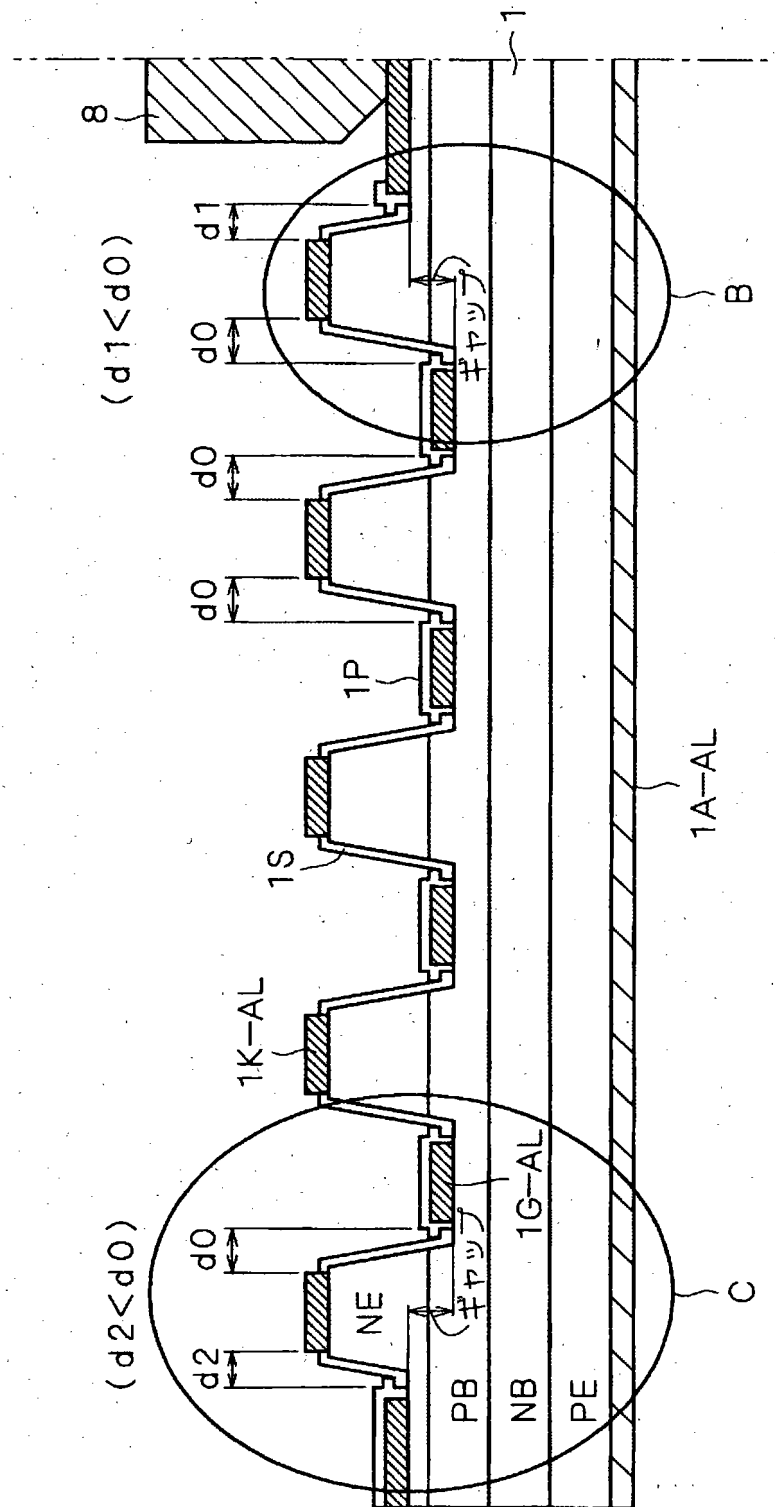
【図9】



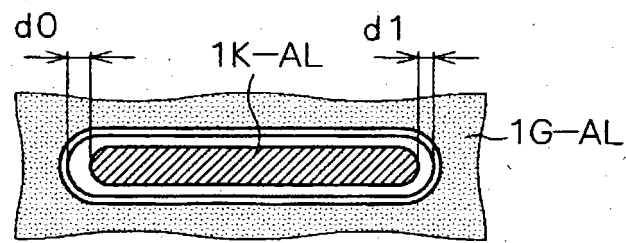
【図10】



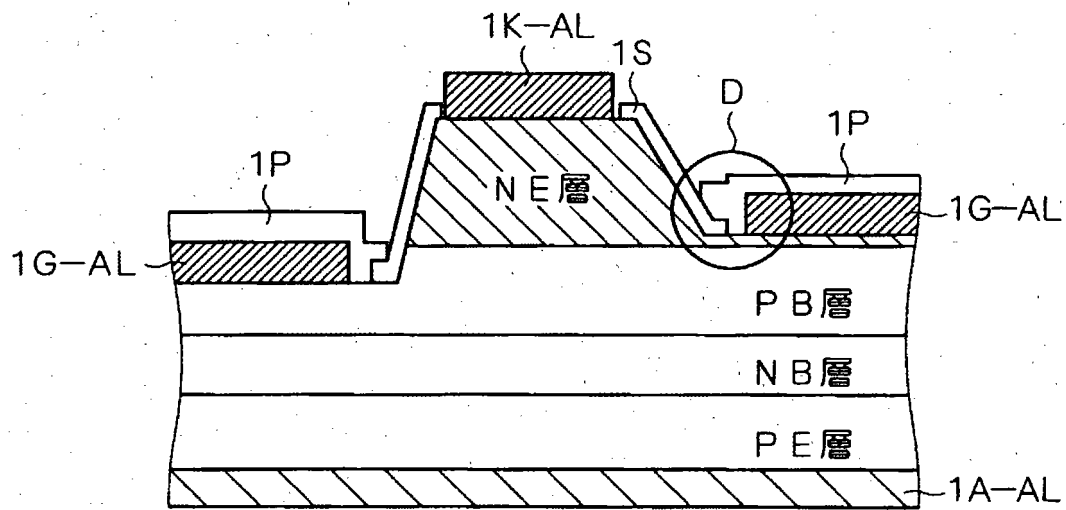
【図 1 1】



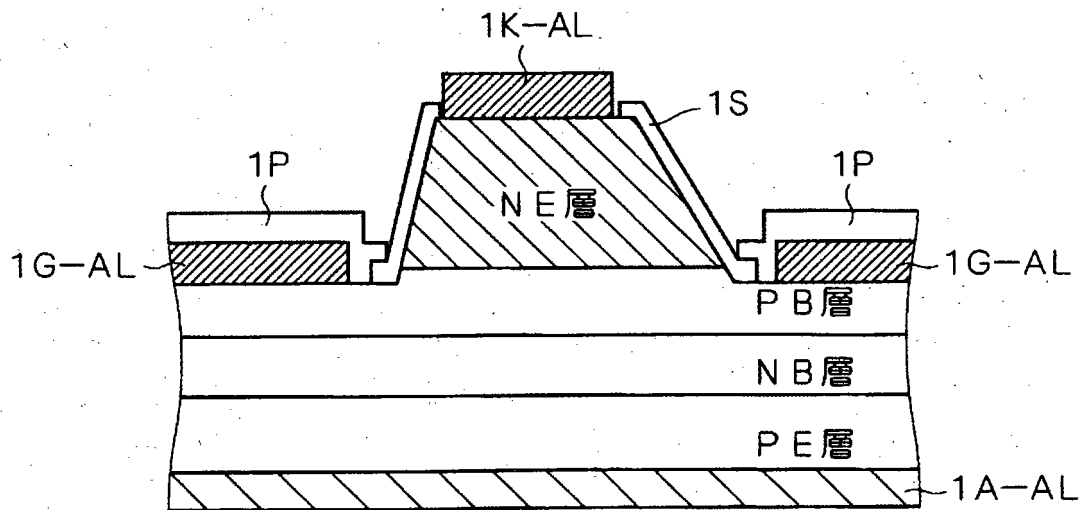
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 最外周セグメント及び／又は最内周セグメントの突出部における段差深さがその他のセグメントの突出部における段差深さよりも浅い場合が生じて、カソード電極とゲート電極間の耐圧特性を確保し且つ動特性の劣化を生じさせることなく、より安定した圧接型半導体装置を提供する。

【解決手段】 最外周セグメントOMSG及び最内周セグメントIMSGをダミーセグメントとして利用する。即ち、両セグメントOMSG, IMSGの突出部OMPP, IMPPの上面を絶縁層（1S+1P）で被覆し、且つ、当該絶縁層（1S+1P）の上面とカソード歪緩衝板底面2BSとの間に隙間CLを設ける。その他のセグメントSGについては、各突出部PPの上面にカソード電極1K-ALを設け、且つ、カソード電極1K-ALの上面がカソード歪緩衝板底面2BSと接触可能となる様に、カソード電極1K-ALの厚みT1を設定する（ $T1 > T2$ ）。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社